

JC20 Rac d PET/PTO 0 6 OCT 2000

明細書

ゲートターンオフサイリスタ

技術分野

本発明はワイドギャップ半導体を用いたゲートターンオフサイリスタに関するものであり、特に広い温度範囲において大電流の遮断が可能なゲートターンオフサイリスタに関する。

背景技術

シリコンを用いたゲートターンオフサイリスター1 5 1 8 2 3 号公報に示されたものがある。第1の従来例ののでは、アノード電極を有するnベース層のの中でメサ型のpベース層を、メサ型のpベース層の中で、メリースを調査を、不純物のといる。この構成によりのでは、ストースを配け、ストースを配け、アベースを配がのでは、カースを配け、アベースを配がのでは、カースを配け、アベースを配がのでは、メサムをでで、メサムをでで、メサムをでで、カースを配がをでいる。ので結晶欠陥が多くでのオン時の抵抗が大きくなる。

シリコンを用いた G T O の第 2 の従来例が特許公報第 2 6 9 2 3 6 6 号に示されている。第 2 の従来例では、p エミッタ層の上に n ベース層を形成し、 n ベース層の

上にpベース層を形成している。pベース層の上に不純物の拡散によりnエミッタ層を形成し、エッチングによりメサ型のnエミッタ層を得ている。第2の従来例は不純物の拡散によりnエミッタ層を形成している点では前記第1の従来例のものと同じである。

シリコンカーバイド(SiC)などのワイドギャップ 半導体を用いた第3の従来例のゲートターンオフサイリ スタ(以下、GTOと略記する)には、例えば文献;IE Electron Device Letters, Vol. 18, No. 11, Novem ber, 1997の 518ページから 520ページに 記載されているも のがある。この従来例では、p型のアノードエミッタ層 アノードエミッタ層が接するp型のベース層までメ サ型にエッチングし、メサ型にエッチングされたアノー ドエミッタ層を取り囲むように、ベース層上にゲート電 極を設けている。このような構造にしたのは以下の理由 によるものと思われる。ワイドギャップ半導体でないシ リコン(Si)のGTOでは、部分的なpn接合は一般 に不純物の熱拡散あるいはイオン注入により形成される。 しかしワイドギャップ半導体であるSiCの場合は、 純物の熱拡散が非常に遅く大量生産に適さないため、 n接合はイオン注入により形成している。その場合、 濃度の不純物をイオン注入すると結晶欠陥が多くなり抵 抗が大きくなる。そのため、GTOに大電流を流すとイ オン注入した領域の電圧降下が大きくなりパワーロスが 大きい。特にp型の不純物であるアルミニウム等の、原

一般にGTOは、ゲートとで流流でか流さいる。 では、ゲートと電流の制御性を有がれているの制御性を表す特性という、電電のの制御性を表す特性というが制御を表するでは、の制御を表するには、大きのの最大のののでするには、でするには、できるですが、できるには、最大では、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、またできるには、ないる。

図13及び図14に、それぞれ典型的な第2及び第3

の従来例のSiCのGTOの断面図を示す。図13に示 す第2の従来例のGTOにおいて、カソード端子K(以 下、カソードKと記す)につながるカソード電極21を 下面に有する高不純物濃度のn型SiCのカソードエミ ッタ層1の上に、低不純物濃度のp型SiCのベース層 2 を形成する。 p 型ベース層 2 の上にn型ベース層 3 を 形成する。 n 型ベース層3の全面に、後の工程で中央領 域を残してp型アノードエミッタ層4となるp型層をエ ピタキシャル成長法により形成する。次にp型層のアノ ードエミッタ層4となる領域を残して、他の領域を反応 性イオンエッチング法によりn型ベース層3の表面がい く ら か 除 去 さ れ る ま で エ ッ チ ン グ し て 、 メ サ 型 の ア ノ ー ドエミッタ層4を形成する。露出したn型ベース層3の 端部領域の、接合部」から離れた部分に、アノードエミ ッタ層4を取り囲むように、n型のゲートコンタクト領 域6をイオン注入により形成する。アノードエミッタ層 4 にアノード端子A(以下、アノードAと記す) がるアノード電極20を形成し、ゲートコンタクト領域 6 にゲート端子G(以下、ゲートGと記す)につながる ゲート電極22を形成する。最後に、GTOの表面に水 分やNaイオンなどのイオンが付着するのを防止するた めに、電極を除く全面に二酸化ケイ素(SiО₂)等の絶 縁膜10を形成する。

図14に示す第3の従来例のGTOでは、各層及び各領域の導電型が、前記図13に示すGTOとそれぞれ逆

になっている点を除いて、その構成は図13に示すGTOと実質的に同じである。

図 1 3 に示す G T O では、ターンオフ時にゲート G とアノード A 間にオフゲート電圧を印加する。また図 1 4に示す G T O では、ターンオフ時にカソード K とゲート G 間にオフゲート電圧を印加する。その結果、図 1 3 及び図 1 4 の G T O ではともに主電流がゲート G に分流しG T O はターンオフする。

図14のGTOでも可制御電流を大きくする対策としてオフゲート電圧を高くすると、カソードエミッタ層 2 4とベース層 5 との接合部Jの端部領域Tの近傍の絶縁膜10の電界が高くなる。そのためカソードKとゲート G間の耐電圧が低下し、長期の信頼性が低下する。

GTOの可制御電流を大きくする他の対策として、ゲ ート電極が設けられているベース層の不純物濃度を上げ て横方向の抵抗を低減する方法、及びベース層を厚くす る方法が特開昭61-182260号公報に記載されて いる。不純物濃度を上げてベース層の横方向の抵抗を低 減すると、GTOのオン時にそのベース層に近接するエ ミッタ層から注入されるキャリア(例えば、 図 1 TO場合はホール、図14のGTOの場合は電子) 入効率が下がる。また、ゲートが設けられているベース 層を厚くすると、近接するエミッタ層からそのベース層 を通って、その下のベース層へ到達するキャリアの数が 減少する。その結果、GTOをターンオンさせるために 必要なゲート電流が大きくなる。またオン電圧も大きく なり、パワーロスが大きくなるという問題がある。

ワイドギャップ半導体を用いた半導体装置の使用最高接合温度は、Si半導体を用いた半導体装置の使用最高接合温度(125℃程度)に比べ大幅に高い。例えばSiCの使用最高接合温度は500℃以上である。したがって、ワイドギャップ半導体を使用する装置では、室温から500℃以上の広い温度範囲において、半導体装置が所望の特性を維持するのが望ましい。

先行技術文献のMaterial Science Forum Vols. 389-3 93 (2002), pp. 1349-1352によれば、SiCのGTOで 使用温度が150℃以上になると最大可制御電流が大幅 に低下するとされている。例えば200℃においては、 室温時の最大可制御電流の約6分の1以下となる。これ は次のような理由によるものと思われる。

まず理解を容易にするために、SiのGTOの場合について説明する。Siの場合、アクセプタとして未れれる。アクセプタ準位はそれれでれる。アクセプタ神位はそれでれる。アクセプタから正孔が生じる。そのため、室温でないにとんどすべての不純物がイオン化して正孔が生じる。Siの最高接合温度125℃までの使用においてなる。Siの最高接合温度125℃までの使用において、不純物のイオン化率が十分高いのでイオン化率が問題になることはほとんどない。

SiCのGTOでも、SiのGTOと同様に、アクセプタとしてホウ素やアルミニウムが用いられるが、それらのアクセプタ準位はそれぞれ約300meV及び約240meVと深く、室温でのイオン化率は数%以下と非常に低い。しかし、温度をあげるとイオン化率は大幅に増大する。

例えば図13のGTOにおいて、温度が150℃以上の高温になってp型のアノードエミッタ層4のイオン化率が増大すると、アノードエミッタ層4からn型のベース層3を経てp型のベース層2に注入されるホールの数が室温のときに比べて大幅に多くなる。また電子も多くなりp型ベース層2で余剰キャリア(ホール及び電子)が増えるため、最大可制御電流が低下する。さらに、1

また図14のGTOにおいて上記のような状態になると、カソードKとゲートG間の耐電圧(約30V)が低下する。さらに、アノードエミッタ層24の端部領域Tの近傍の電界強度が高くなって絶縁膜10の電界が高くなり、絶縁破壊を起こすおそれがある。またリーク電流が増大して、長期間の使用における信頼性が低下する。

発明の開示

本発明では、メサ型のエミッタ層を有するワイドギャップ半導体のゲートターンオフサイリスタ(以下、ワイドギャップGTOという)において、エミッタ層と、そのエミッタ層に近接する、ゲートが設けられるベース層との接合部の端部近傍の絶縁膜の電界を緩和することによって可制御電流を大きくする。

前記接合部の端部近傍の絶縁膜の電界を緩和するために、ベース層内に抵抗値の低い低抵抗ゲート領域を形成

本発明のワイド神でのできれた第1ののでです。 カーカーカーのでである。 カーカーカーのでである。 カーカーカーのでである。 カーカーカーのでである。 カーカーカーのでである。 カーカーカーのでである。 カーカーカーのでである。 一のでである。 カーカーカーのでである。 一のででは、 カーカーカーのでである。 カーカーカーのでである。 一のででは、 カースのででは、 カースのででは、 カースのででは、 カースのででは、 カースのででいる。 カースのででは、 カースのででいる。 カースのででいる。 カースのででいる。 カースのでのでいる。 カースのでは、 カースのでのでいる。 カースのでのでいる。 カースのでは、 カースのでのでいる。 カースのでは、 カースのでは、 カースのでは、 カースのでは、 カースのでは、 カースのでは、 カースのできまでいる。 カースのでは、 カースのできまでいる。 カースのでは、 カースのできまでいる。 カースのでは、 カースのできまでいる。 カースのでは、 カーなのでは、 カースのでは、 カーなのでは、 カーなので サ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように、前記接合部の端部が出まる。前記メサ型の第2のが記接合部に至る領域にでから前記メサ型の第2の方層のでから前記を有する低抵抗が一ト領域を形成している。前記低抵抗ゲート領域が設けられている。

本発明の他の観点のワイドギャップ半導体のゲートターンオフサイリスタは、一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、及び前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベー

本発明の他の観点のワイドギャップ半導体のゲートターンオフサイリスタは、一方の面電極を有すッタの 2 の 3 年型の 5 年型の 5 年 2 の 5 年 2 の 5 年 2 の 6 年 2 の 7 年 2 の 8 年 2

効果の高い周囲領域に通電電流の大部分を流し、制御効果の低い中央領域の電流を減らす。その結果、ターンオフ時のゲートからの電流の引き抜き効率が高くなるので、GTOの可制御電流が増大する。

本発明では、ワイドギャップ半導体を用いたGTOのゲートの接をメサ型のエミッタ層とべて電がでいた。オフゲートで電が高い場合でも前にのののののがあるがある。オフゲーに流が部でののでは、アイドである。オフゲーに流ができる。では、アイドできる。できる。では、ないので、カーク電流が増大する。は、長期間信頼性を維持できる。

 て、大きな可制御電流を有するとともに長期間高い信頼性を維持できるGTOが実現できる。

図面の簡単な説明

図1は本発明の第1実施例のゲートターンオフサイリスタの上面図である。

図2は本発明の第1実施例のゲートターンオフサイリスタの断面図である。

図3は本発明の第2実施例のゲートターンオフサイリスタの断面図である。

図4は本発明の第3実施例のゲートターンオフサイリスタの断面図である。

図 5 は本発明の第 4 実施例のゲートターンオフサイリスタの断面図である。

図6は本発明の第5実施例のゲートターンオフサイリスタの断面図である。

図7は本発明の第6実施例のゲートターンオフサイリスタの断面図である。

図8は本発明の第7実施例のゲートターンオフサイリスタの断面図である。

図9は本発明の第8実施例のゲートターンオフサイリスタの断面図である。

図10は本発明の第9実施例のゲートターンオフサイリスタの断面図である。

図11は本発明の第10実施例のゲートターンオフサ

イリスタの断面図である。

図12は本発明の第11実施例のゲートターンオフサイリスタの断面図である。

図 1 3 は従来例のゲートターンオフサイリスタの断面 図である。

図14は他の従来例のゲートターンオフサイリスタの断面図である。

発明を実施するための最良の形態

本発明の、シリコンカーバイド(以下、SiC) いたゲートターンオフサイリスタ(以下、GTOと略記 する)の好適な実施例を図1から図12を参照して説明 する。図1は本発明の第1実施例のGTOの1つの素子 の上面図である。図2から図8は、それぞれ本発明の各 実施例のGTOの1つの素子(単位)の断面図である。 各図において、図を見易くするために断面にはハッチを 施していない。各実施例のGTOの上面図は基本的に図 1に示すものと類似である。各実施例のGTOの実際の 構成では、多数の素子(通常数10~数100) の左右方向に同一基板上で連結されており、それぞれの アノード電極、ゲート電極、カソード電極は、それぞれ 必要に応じて並列又は直列に接続されている。なお実際 の装置では、図示を省略したが、左右方向に多数の素子 が配置されるとともに、さらに図の上下方向に当たる方 向にも多数の列が配置されることが一般的である。

《第1実施例》

本発明の第1実施例のSiCを用いたGTOを図1及 び図2を参照して説明する。図1は第1実施例のGTO 絶縁膜10を設ける前の上面を示す上面図である。 図2は図1のII-II断面図である。図1及び図2におい 本実施例のGTOは、カソード端子K(以下、カソ ードK)につながるカソード電極21(第1の電極) 下面に有する厚さが約350μm、不純物濃度が10¹⁹ c m - 3程度以上の高不純物濃度のn型(第1の導電型) のSiC半導体のカソードエミッタ層1(第1のエミッ 夕層)を有する。カソードエミッタ層1の上に厚さが約 5 0 μ m 、 不 純 物 濃 度 が 1 0 16 ~ 1 0 13 c m $^{-3}$ 程 度 の 低 不純物濃度のp型(第2の導電型)のSiC半導体のベ - ス 層 2 (第 1 の ベ ー ス 層) を 形 成 す る 。 p 型 ベ ー ス 層 2 の上に厚さ数 μ m 程 度 の 薄 い n 型 ベース 層 3 (第 2 の ベース層)を形成する。 n 型ベース層 3 の全面に、 工程で中央領域を残してp型アノードエミッタ層4とす るp型層をエピタキシャル成長法により形成する。次に p 型 層 の ア ノ ー ド エ ミ ッ タ 層 4 (第 2 の エ ミ ッ タ 層) と なる領域を残して、他の領域を反応性イオンエッチング 法により、n型ベース層3の表面が露出しかつ表面部分 がいくらか除去される程度に深くエッチングしてメサ型 のアノードエミッタ層4を形成する。露出したn型ベー ス層3にイオン注入をして順次n型の低抵抗ゲート領域

5 及び n 型 の ゲ ー ト コ ン タ ク ト 領 域 6 を 、 ア ノ ー ド エ ミ ッタ層4を取り囲むように形成する。低抵抗ゲート領域 5 の不純物濃度はベース層3の不純物濃度の3倍以上で あるのが好ましい。イオン注入の工程で低抵抗ゲート領 域5がベース層2の上面近傍にまで形成されてもよい。 低抵抗ゲート領域5はアノードエミッタ層4とベース層 3 の接合部 J から若干離れて形成される。ゲートコンタ クト領域6は低抵抗ゲート領域5より更に不純物濃度の 高い低抵抗領域であり、接合部」から大きく離れた位置 に形成される。アノードエミッタ層4にアノード端子A (以下、アノードA) につながるアノード電極20 2 の電極) を形成し、ゲートコンタクト領域6 にゲート 端子G(以下、ゲートG)につながるゲート電極22 (第3の電極)を形成する。最後に成膜後のGTOの表 面に水分やNaイオンなどのイオンが付着するのを防止 するために、電極を除く全面に二酸化ケイ素(SiО₂) 等の絶縁膜10を形成する。n型の不純物としては窒素 を用いることができる。またp型の不純物としてはホウ 素やアルミニウムを用いることができる。

本実施例のGTOの構造上の特徴は、n型ベース層 3 内のn型ゲートコンタクト領域 6 を、p型アノードエミッタ層 4 とn型ベース層 3 との接合部 J から離して、沿面距離を大きくとる点にある。他の特徴は、n型ベース層 3 内の、p型アノードエミッタ層 4 とn型ベース層 3 との接合部 J からベース層 2 の方向に所定の距離を隔て た領域に、 n 型の高い不純物 濃度を有する低抵抗値の低抵抗ゲート領域 5 を形成している点にある。 n 型ゲートコンタクト領域 6 と、メサ M の斜面に露出する p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J の端のよりを、 n 型低抵抗ゲート領域 5 は、 n 型ベース層 3 の上面から 0 . 3 μ m ないし 5 μ m 程度の深さで形成されている。

本実施例では図2に示すように、 n型低抵抗がのが延いでは図2に示すようにのの形成のの形成のの形成ののでは対方にのの5を大りのではがからではがった。 のがまたがのではがからではがからではがいる。 をしているのではがいる。 をはばがらのないが、 ないでは、 ないでのないが、 ないがいる。 特には、 ないでのない。

本実施例のGTOの動作を以下に説明する。アノードAの電位がカソードKの電位より高い状態で、ゲートGの電位をアノードAの電位より低くしてアノードAとゲートG間に順バイアス電圧を印加すると、アノードAか

らゲートGに電流が流れる。この状態ではアノードエミッタ層4からホールがn型ベース層3に注入されてp型のベース層2に入ると共に、電子がn型のカソードエミッタ層1からp型のベース層2に注入され、GTOはターンオンしてオン状態となる。アノードAとゲートG間に逆バイアス電圧を印加し、カソードKからアノードAに流れる電子流をゲートGに分流すると、GTOはターンオフする。

本実施例のGTOでは、n型ゲートコンタクト領域6 が、メサ型のp型アノードエミッタ層4とn型ベートの 3との接合部Jから離れておる。そのため、ゲートらが アノードA間の耐電圧は両者間の沿面距離で決まらの アノードA間の耐電をアノードなり層4内の電子 は電界によって決まる。SiCは高い絶縁を 有するので本実施例のGTOは高耐電圧を有するとれまする。 高温時にp型のアノードエミッタ層4の作また高 はなりホール濃度が大きくなっても高耐電圧を維持できる。

n型ベース層 3 内にn型低抵抗ゲート領域 5 を形成したことにより、ターンオフ時には電子流がn型ベース層 3 からn型低抵抗ゲート領域 5 及びn型ゲートコンタクト領域 6 を通ってゲート G に流れる。n型低抵抗ゲート領域 5 は不純物 濃度が高く低抵抗値であるので、この電子流が大きい場合でもn型ベース層 3 内での電圧降下が小さく、接合部 J 近傍の絶縁膜 1 0 に印加される電界は

本実施例のGTOの具体例では、ゲートGとアノードA間の耐電圧は150Vであり、図9及び図10に示す従来例のGTOの約30Vに比べると大幅な高耐電圧化が実現できた。最大可制御電流を上げるためにターンオフ時のゲート電圧をあげても前記接合部J近傍の絶縁関10に高電界が印加されず、絶縁破壊を生じにくい。高電界が印加されないため、ゲートGとアノードA間の耐圧が低ーク電流が増加してゲートGとアノードA間の耐圧が低下することがなく、長期間高い信頼性を維持できる。

本実施例では、アノードエミッタ層4をエピタキシャル成長法により形成している。エピタキシャル成長法では、結晶欠陥が非常に少ないのでn型ベース層3にホー

ルを十分注入できる。そのためオン電圧が3.7 Vと小さくなるとともに損失を小さくできる。例えば、結晶欠陥の多いイオン注入法によりアノードエミッタ層を形成した場合にはオン電圧は7.5 Vであった。

図2に示す例では、メサ型のアノードエミッタ層4の斜面のベース層3の面に対する角度は105度程度であるが、この角度は140度から55度程度の範囲であれば本実施例を適用できる。

《第2実施例》

本実施例のSiCを用いたGTOでは、p型ベース層 3A内にn型の低抵抗ゲート領域5Aを形成したことに より、ターンオフ時に、アノードAからゲートGに流れ

《第3実施例》

とができるので、絶縁膜10の劣化を防ぐことができる。そのため長期の使用においてもゲートGとアノードA間の漏れ電流の増大等を引き起こすおそれがなく、長期間高い信頼性を維持できる。本実施例のGTOの具体例では、ゲートGとアノードAとの間の耐電圧は205Vであり、第1実施例のGTOの耐電圧(150V)よりも高い耐電圧が得られた。

《第4実施例》

図5は本発明の第4実施例の、SiCを用いたGTO の断面図である。図において、本実施例のGTOでは、 n型低抵抗ゲート領域5が、n型ベース層3の端部領域 の、p型アノードエミッタ層4を除く部分に設けられて いる。n型低抵抗ゲート領域5は、p型アノードエミッ タ層4を形成するためのメサエッチング用のマスクを用 いて、n型ベース層3内にセルフアラインにより形成さ れる。従ってn型低抵抗ゲート領域5のパターンを形成 するためのプロセスを省略できる。本実施例では、前記 第3実施例と同様に、p型アノードエミッタ層4とn型 ベース層3との接合部Jの端部近傍を少なくとも含み、 メサMのメサコーナー部MCの近傍からゲート電極22 の方に広がるp型の領域7を前記n型低抵抗ゲート領域 5 内に形成している。その他の構成は図2に示す前記第 1 実施例のものと同じである。 p 型の領域 7 を設けるこ とによって、メサコーナー部MC近傍で高不純物濃度の

p型アノードエミッタ層4と高不純物濃度のn型低抵抗 ゲート領域5の接合が形成されるのを回避し、メサMの 底面で接合が形成されるようにする。その結果メサコー ナー部MC近傍の絶縁膜10の電界強度が緩和されて、 オフゲート電圧を高くすることができる。 p 型の領域 7 を、メサコーナー部MCを覆うように大きくし、アノー ドエミッタ層4とつながるように形成してもよい。本実 施例の具体例によると、ゲートGとアノードA間の耐電 圧は130Vであり、前記第1実施例のGTOの耐電圧 (150V)より低いものの、従来のGTO(約30 V)より大幅に高い耐電圧が得られた。耐電圧が高いの でゲート電圧をあげることにより可制御電流を大きくす ことができる。本実施例4のGTOでは、前記第1か ら 第 3 実 施 例 の G T O に 設 け ら れ て い る ゲ ー ト コ ン タ ク ト領域6Aを設けていない。従って構成が簡単であり製 造コストが安い。

《第5実施例》

図6は本発明の第5実施例の、SiCを用いたGTOの断面図である。図6において、本実施例のGTOは、図4に示す前記第3実施例のGTOからn型低抵抗ゲート領域5を除いた構成を有する。第3実施例のGTOにおいてn型低抵抗ゲート領域5を形成する工程では、n型ベース層3にイオン注入を行って高不純物濃度のn型低抵層を形成する。このとき、n型ベース層3及びn型低抵

抗ゲート領域 5 に結晶欠陥が生じやすい。その結果、ゲート・アノード間の表面のリーク電流が増える。本実施例では n 型低抵抗ゲート領域 5 を設けないので、 n 型ベース層 3 に結晶欠陥による前記の問題は生じない。

本実施例では図4に示す前記第3実施例のGTOと同 様にp型アノードエミッタ層4とn型ベース層3との接 合部Jの端部近傍を少なくとも含み、メサMのコーナー 部MCの近傍からゲート電極22の方へ広がる電界強度 緩和用のp型の領域7をn型ベース層3内に形成してい 本実施例においても前記第4実施例の場合と同様に、 p 型 の 領 域 7 を メ サ コ ー ナ ー 部 M C を 覆 う よ う に 大 き く アノードエミッタ層4とつながるように形成しても この構成により、オフゲート電圧を高くしてもメ サコーナー部MC近傍の電界強度が高くなることはなく 従って絶縁膜10の電界強度も高くなることはない。そ のため絶縁膜10の劣化が避けられる。本実施例のGT 〇の具体例では、ゲート電極22とアノード電極21と の間の耐電圧は210Vであった。オフゲート電圧を高 くすることができるので、可制御電流の大きいGTOが 実 現 で き る。

《第6実施例》

図7は本発明の第6実施例の、SiCを用いたGTOの断面図である。本実施例のGTOでは、カソード電極21を下面に有する高不純物濃度のn型SiCのカソー

ドエミッタ層 1 の上に p 型ベース層 2 をエピタキシャル 成長法により形成する。次に、p型ベース層2の両端部 領域にn型低抵抗ゲート領域5を形成する。次にp型ベ ース層 2 と n 型 低 抵 抗 ゲ ート 領 域 5 の 全 面 に 、 後 の 工 程 を 経 て n 型 ベース 層 3 及 び p 型 ア ノード エミッタ 層 4 と なるn型ベース層及びp型アノードエミッタ層をエピタ キシャル成長法により順次積層する。 n 型ベース層及び p型アノードエミッタ層の両端部領域を、反応性イオン エッチング法により、n型低抵抗ゲート領域5の面が露 出するまでエッチングし、メサ斜面MSを有するメサ型 のn型ベース層3及びp型アノードエミッタ層4を形成 する。本実施例の構成によれば、p型アノードエミッタ 層 4 と n 型 ベース 層 3 の メ サ 斜 面 M S に 露 出 す る 接 合 部 JEを、電界集中が生じやすいメサコーナー部MCの近 傍から離して十分な沿面距離をとることができる。その オフゲート電圧を高くすることができるので、可 制御電流の大きいGTOを実現できる。前記第1から第 4 実施例の場合のように、 n 型ベース層 3 内の深い部分 までイオン打ち込みをしてn型低抵抗ゲート領域5をn 型 ベ ー ス 層 3 内 に 形 成 す る 場 合 、 n 型 ベ ー ス 層 3 に 結 晶 欠陥が生じやすい。これに対して、前記の反応性エッチ ング法によりn型ベース層3を形成する場合には、n型 ベース層3に結晶欠陥が発生しない。p型ベース層2内 にn型低抵抗ゲート領域5を生成するときのみイオン注 入を行うので、イオン注入の工程が少なくGTOの製造

工程を簡略化できる。

SiCのGTOの場合、例えばSiのGTOに比べて n型ベース層3の不純物濃度が高い。そのため、オフ時 にn型ベース層3内に空乏層があまり広がらない。した がって、SiCのGTOでは、SiのGTOで問題とな っている低抵抗ゲート領域の端部への電界集中が生じな いことから、アノード電極20とカソード電極21間の 耐電圧を高くすることができる。

《第7実施例》

が増加した場合でも、可制御電流が小さくなることはほとんどない。

前記第1から第7実施例において、n型の層及び領域をp型の層及び領域に置き換え、p型の層及び領域をn型の層及び領域に置き変えることにより構成されるGTOにも本発明の構成を適用できる。

《第8実施例》

図9は本発明の第8実施例の、SiCを用いたGTO の断面図である。図において、メサ型のアノードエミッ 夕層4の上面の中央部を除く領域にアノードコンタクト 電極61を形成している。アノードAにつながるアノー ド 電 極 6 0 は 、 ア ノ ー ド エ ミ ッ タ 層 4 の 中 央 領 域 に お い てのみアノードエミッタ層4に接している。アノードエ ミッタ層4の中央領域を除く周囲領域では、アノード電 極60はアノードコンタクト電極61を介してアノード エミッタ層4に接している。アノードコンタクト電極6 1 にはニッケルを用い、アノード電極60には、 半導体 層に対する接触抵抗がニッケルよりも高い金を用いる。 当技術分野において、SiC半導体層に金属膜を形成し たときの両者間の接触抵抗は、金属の電気伝導性とは別 に、金属の種類及び金属膜の成膜後の熱処理により異な ることが知られている。前記接触抵抗の低い金属には二 ッケル、チタン、アルミニウム、タングステン及びこれ らの金属の複合膜がある。接触抵抗の高い金属には金等

本実施例では、アノードコンタクト電極 6 1 に接触抵抗の低いニッケルを用いたことにより、アノードスタートではアノードスタ層 4 との接触抵抗が電極 6 0 をアノードエミッタ層 4 に直接接している領域を通ったがアノードエミッタ層 4 に直接接しているのおかって、アノードエミッタ層 4 に流れる。したがって、アノードエミッタ層 4 に流れる。したがってドコンタクト電極 6 1 のない部分の電流密度は小さくなる。

カソードエミッタ層 1 から流入する電子流は、ホール電流の流れている領域を流れるため、電子流もアノードコンタクト電極 6 1 の存在する領域に片寄る。したがって、電子流における電子が余剰に存在する領域はゲートコンタクト領域 6 に近づく。そのためターンオフ時には効率的に電子をゲート G から引き抜くことができ、可制

御電流が大きくなる。本実施例の場合、可制御電流は標準的な従来例に比べ55%大きくなった。

本実施例では、アノードコンタクト電極 6 1 を分割して設ける構成にしたが、アノード電極 6 0 を同様に分割してもよい。またボンディング上問題なければアノード電極 6 0 を設けず、アノードコンタクト電極 6 1 のみを設ける構成にしても同様の効果が得られる。

《第9実施例》

図 1 0 は本発明の第 9 実施例の、SiCを用いたGT 〇の断面図である。図において、ニッケル等の電気接触 抵抗の低い材料によるアノードコンタクト電極71が、 アノードエミッタ層4の上に形成されている。アノード エミッタ層4の表面中央領域には低不純物濃度のp型の 領域 7 3 を 設 け て い る 。 ア ノ ー ド コ ン タ ク ト 電 極 7 1 の 上にアノード電極70が形成されている。アノード電極 70はアノードコンタクト電極71より大きくなされ、 その端部はアノードエミッタ層4の周辺部に直接接して いる。その他の構成は前記第8実施例のものと同様であ る。p型の領域73は低不純物濃度なので、この領域7 3とアノードコンタクト電極71との接触抵抗は高い。 また領域73内の抵抗も周囲のアノードエミッタ層4に 比べると高い。その結果前記第8実施例と同様に、 ル電流は中央部を避けて左右に分割されて流れる。 がって電子流も左右に分かれて流れる。分流する電子流 による電子が余剰に存在する領域はゲートコンタクト領域6に近づく。そのためp型ベース層2の中央領域率で電子密度が減少する。その結果ゲートから電子を効率に引き抜くことができるため可制御電流が増加する。回いまいては、メサ型のアノードエミッタ層4の側面とベース層3の表面との角度が約90度である場合でも本実施例を適用可能である。

《第10実施例》

《第11実施例》

図12は本発明の第11定施例の、SiCを用いたGTO断面図である。本実施例では、高不純物濃度のn型の領域93をn型のベース層3の表面中央領域に設けている。その他の構成は図10に示す前記第9の実施例のものと同様である。この構成では、アノードの影響ののものからカソードエミッタ層1に向かって成れるのではないがベース層3の中央領域に形成したn型の領域93により妨げられ、ベース層3内で左右に分かれる。その結果、前記第8実施例と同様の作用により可制御電流を大きくすることができる。

産業上の利用可能性

本発明は、広い温度範囲において大電流の遮断が可能なワイドギャップ半導体を用いたゲートターンオフサイリスタに利用可能である。

請求の範囲

1. 一方の面に第 1 の電極を有する、 n 型 及 び p 型 の いずれか一方の導電型の第 1 のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に設けられた第2の電極、

前記低抵抗ゲート領域端部に接する第3の電極 を有するワイドギャップ半導体のゲートターンオフサ イリスタ。

- 2. 前記低抵抗ゲート領域の、前記第3の電極との接合部近傍の不純物濃度を前記低抵抗ゲート領域の不純物濃度より高くして低抵抗領域としたことを特徴とする請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。
- 3. 前記低抵抗ゲート領域が、前記第2のエミッタ層と前記第2のベース層との接合近傍の第2のベース層内に設けられている請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。
- 4. 前記第2のベース層と前記第2のエミッタ層との接合部の端部近傍の前記第2のベース層内に設けられた、前記第2のエミッタ層と同じ導電型の領域を更に有する請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。
- 5 . 前記第2のベース層の表面近傍の、前記メサ型の第2エミッタ層と第2のベース層との接合部近傍を含むメサの底部に、前記接合部の端部との間に前記第2のエミッタ層と同じ導電型の領域を介在させて前記第2のベース層と同じ導電型の低抵抗ゲート領域を設けたことを特徴とする請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

6. 前記第2のベース層の表面近傍の、前記メサ型の第2エミッタ層と第2のベース層との接合部から離れた位置に設けられた、前記第2のベース層と同じ導電型の低抵抗領域

前記低抵抗領域に接する第3の電極、及び

前記第2のベース層と前記第2のエミッタ層との接合部の端部近傍の前記第2のベース層内に設けられた、前記第2のエミッタ層と同じ導電型の領域

を有する請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

- 7. 前記第2のベース層がメサ型に形成され、前記第2のベース層と同じ導電型の低抵抗ゲート領域が前記メサ型の第2のベース層を取り囲むように、前記第1のベース層内に形成されている請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。
- 8. 前記低抵抗ゲート領域の内側に形成された、前記低抵抗ゲート領域と同じ導電型の少なくとも1つの低抵抗小領域を有する請求項1又は7記載のワイドギャップ半導体のゲートターンオフサイリスタ。
- 9. 前記第 1 のエミッタ層が n 型のカソードエミッタ層であり、前記第 1 のベース層が p 型のベース層であり、前記第 2 のベース層が n 型のベース層であり、前記第 2

のエミッタ層がp型のアノードエミッタ層であり、前記低抵抗ゲート領域がn型であり、

前記第1、第2及び第3の電極がそれぞれ、カソード電極、アノード電極及びゲート電極である請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

10. 前記第1のエミッタ層が p型のアノードエミッタ層であり、前記第1のベース層が n型のベース層であり、前記第2のベース層が p型のベース層であり、前記第2のエミッタ層が n型のカソードエミッタ層であり、前記低抵抗ゲート領域が p型であり、

前記第1、第2及び第3の電極がそれぞれ、アノード電極、カソード電極及びゲート電極である請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

11. ワイドギャップ半導体がシリコンカーバイト (SiC)である請求項1に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

12. 前記低抵抗ゲート領域の不純物濃度が、前記ベース領域の不純物濃度の3倍以上であることを特徴とする請求項1又は8に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

1 3 . 一方の面に第 1 の電極を有する、 n 型及び p 型

のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に、前記第2のエミッタ層の中央領域を除く他の領域で接しているコンタクト電極、

前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられた、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域、及び

前記低抵抗領域の端部に接する第2の電極を有するワイドギャップ半導体のゲートターンオフサイリスタ。

1 4 . 一方の面に第 1 の電極を有する、 n 型及び p 型のいずれか一方の導電型の第 1 のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記第2のエミッタ層の上面中央領域に設けられた、前記第2のエミッタ層と同じ導電型で、かつ不純物濃度が前記第2のエミッタ層より低い高抵抗領域、

前記第2のエミッタ層及び前記高抵抗領域に接するコンタクト電極、

少なくとも前記コンタクト電極及び前記コンタクト電極の外周部で前記第2のエミッタ層に接する、前記エミッタ層との接触抵抗が前記コンタクト電極より大きい第2の電極、

前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられた、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域、及び

前記低抵抗領域の端部に接する第3の電極 を有するワイドギャップ半導体のゲートターンオフサイリスタ。

1 5 . 前 記 メ サ 型 の 第 2 の エ ミ ッ タ 層 の 上 面 中 央 領 域

に設けられた、前記第2のエミッタ層と異なる導電型の 領域及び

前記第2のエミッタ層及び前記領域に少なくともコンタクト電極を介して対向する第2の電極

を有する請求項1、13及び14のいずれかに記載のゲートターンオフサイリスタ。

16. 前記第2のベース層の表面中央領域に設けられた、前記第2のベース層と同じ導電型で、不純物濃度が前記第2のベース層より高い高不純物領域、

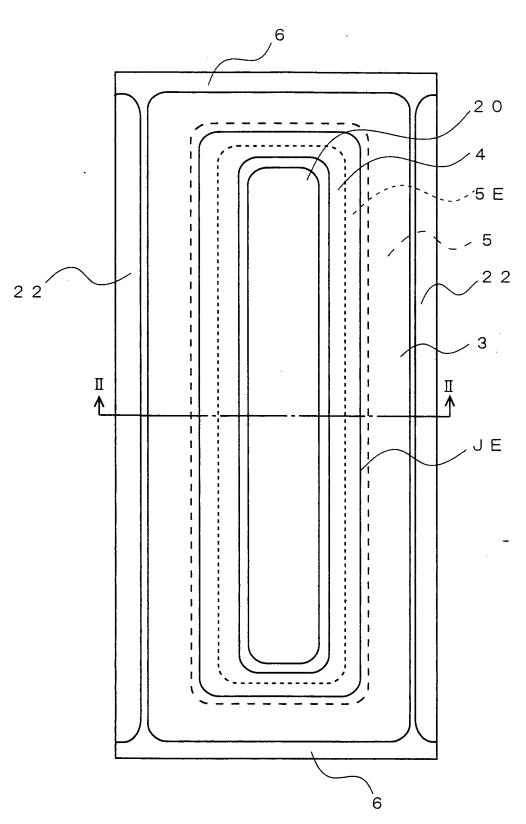
前記第2のベース層及び前記高不純物領域の上に設けられたメサ型の、前記第1のエミッタ層と異なる導電型の第2のエミッタ層、及び

前記メサ型の第2のエミッタ層に少なくともコンタクト電極を介して接する第2の電極

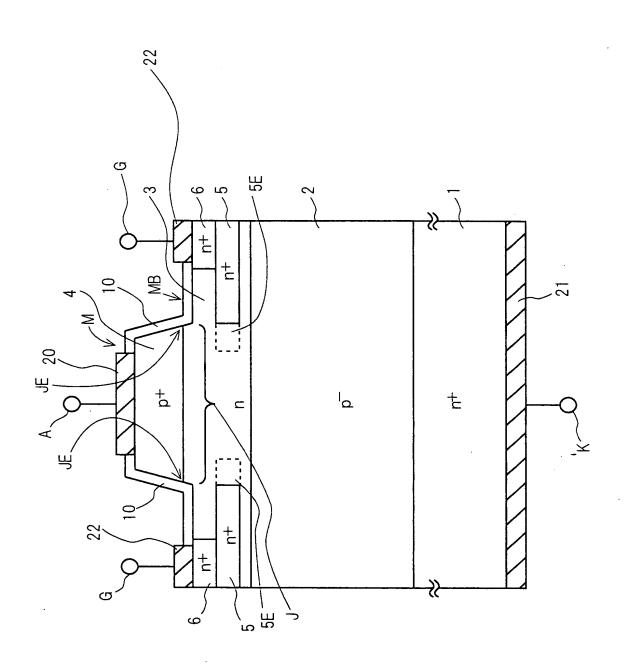
を有する請求項1、13及び14のいずれかに記載のゲートターンオフサイリスタ。

要約書

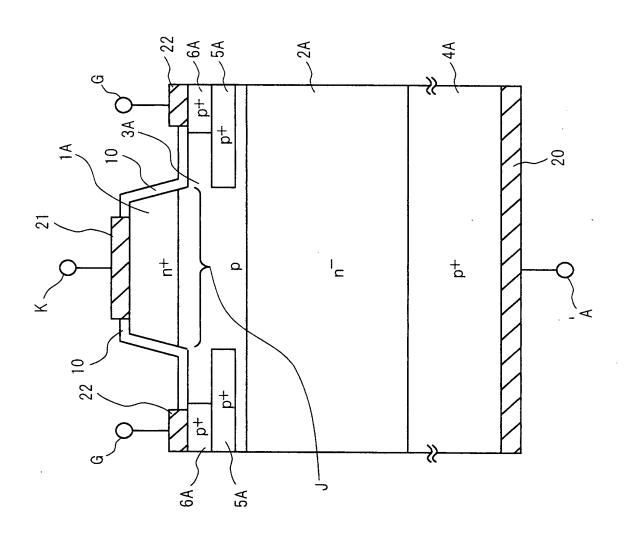
メサ型のワイドドンカートをはいい。 高温にとするのでは、イオスをはいいのでは、ないでは、ないのでは、ないでは、ないのでは、ないのでは、ないのでは、ないのでは、ないのでは、ないのでは、ないのでは、ないのでは、ないのでは、ないのでは、ないのでは、ないのでは、ないで



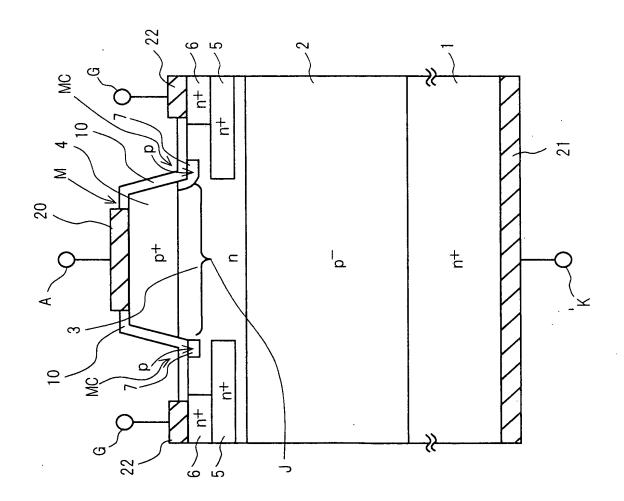
<u>⊠</u>



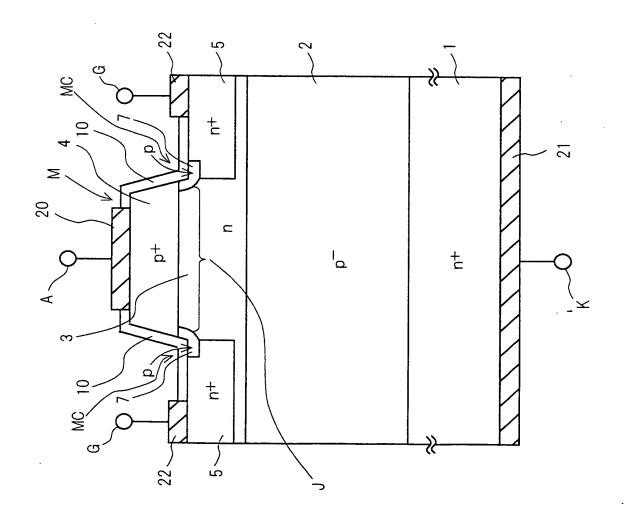




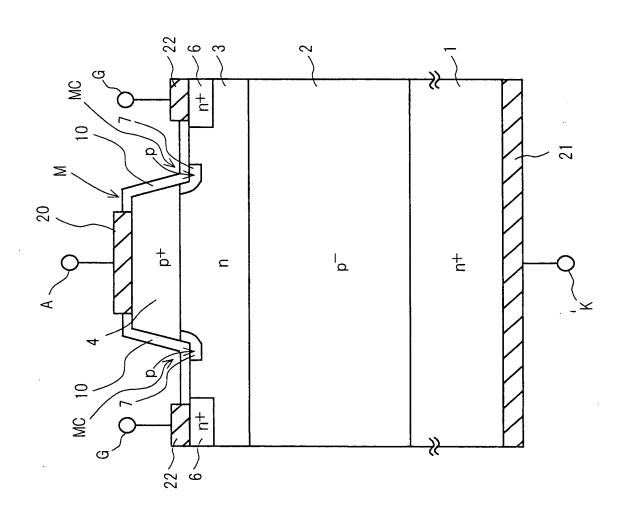




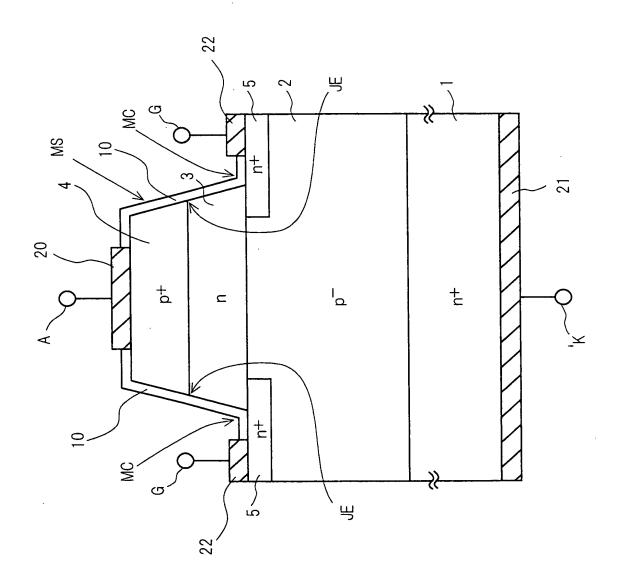
<u>溪</u>



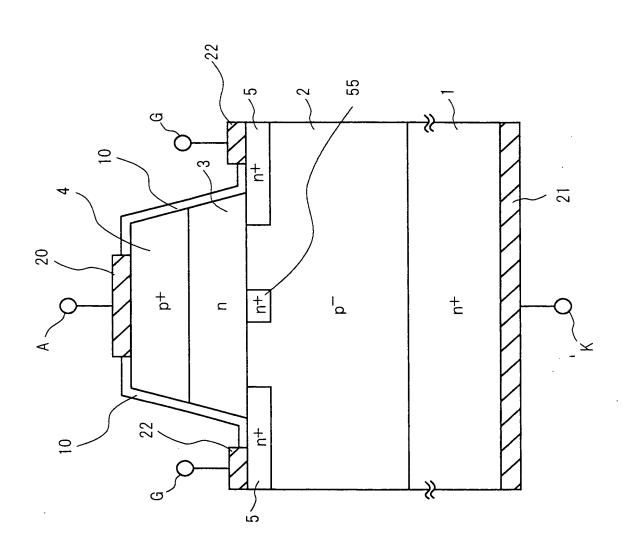
<u>₩</u>



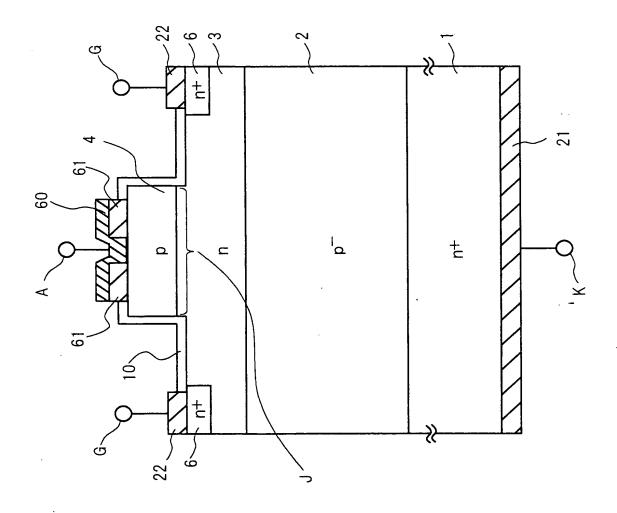


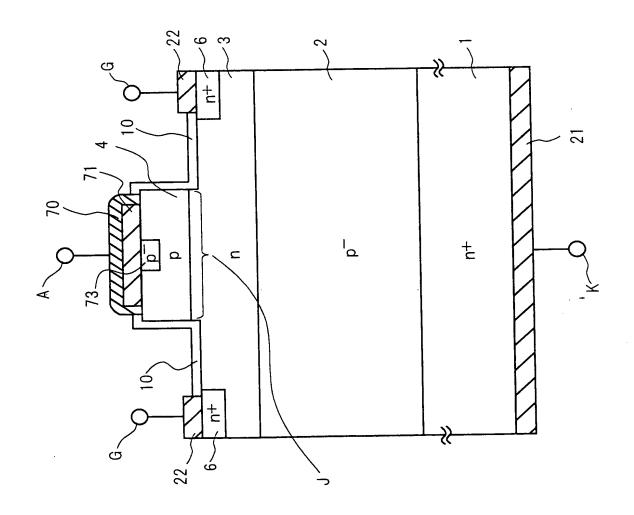




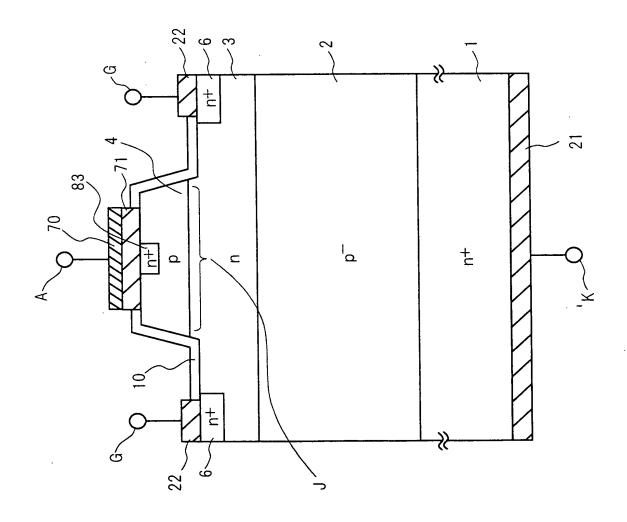


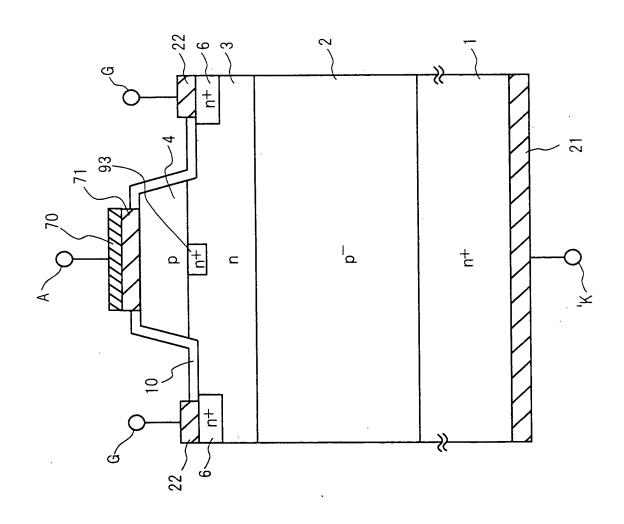


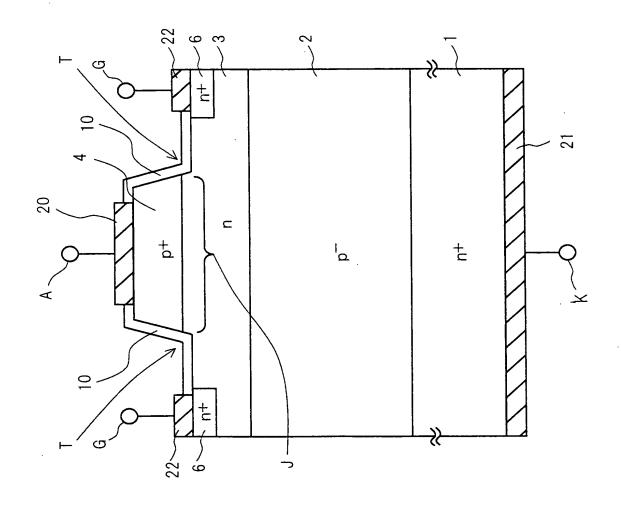




<u>-</u>







<u>7</u> | ⊠

